



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 58071616 A

(43) Date of publication of application: 28 . 04 . 83

(51) Int. Cl. H01L 21/02	
(21) Application number: 56170357	(71) Applicant: NEC HOME ELECTRONICS LTD
(22) Date of filing: 24 . 10 . 81	(72) Inventor: ITO SHUZO NAKAMURA YASUSHI

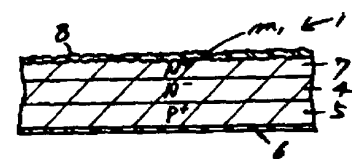
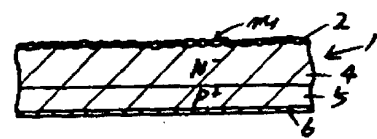
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To improve operating efficiency and yield rate, by a method wherein obverse and reverse sides of a wafer are made asymmetric by roughening or chamfering one side.

CONSTITUTION: The obverse side of a wafer 1 is roughened to a rough surface m_1 . When an oxide layer is formed, the oxide layer is removed, and impurities are diffused, the obverse side of the oxide layer 2 becomes the rough surface and the oxide layer 6 on the reverse side remains mirror-like surface. Accordingly, the obverse and reverse sides are readily and correctly distinguished visually in the oxide layer removing process. Similarly, as an electrode layer 9 becomes a rough surface after an electrodes has formed, the obverse and reverse sides are correctly distinguished, so that it is not apprehended to produce negative bevel type pellets.

COPYRIGHT: (C)1983,JPO&Japio



⑫ 公開特許公報 (A)

昭58—71616

⑤ Int. Cl.³
H 01 L 21/02

識別記号

庁内整理番号
6679—5F

⑬ 公開 昭和58年(1983)4月28日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置の製造方法

⑯ 特 願 昭56—170357

⑰ 出 願 昭56(1981)10月24日

⑱ 発 明 者 伊藤修三
大阪市北区梅田1丁目8番17号
新日本電気株式会社内

⑲ 発 明 者 中村靖

大阪市北区梅田1丁目8番17号
新日本電気株式会社内

⑳ 出 願 人 新日本電気株式会社

大阪市北区梅田1丁目8番17号

㉑ 代 理 人 弁理士 江原省吾 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体素子における製造前或は製造途中で半導体素子の少くとも両端面の表面を片面の粗面加工や面取りなどで非対称に加工したのち、半導体素子の表面両面に細パターンまたは同一パターンの導電層を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

この発明は半導体素子の不純物拡散や酸化膜除去などの各種工程における半導体素子の表面の区別を容易化して作業性の改善を図ることを目的とした半導体装置の製造方法に関する。

半導体装置の製造工程には半導体素子にⅡ型やⅢ型の不純物を数層に拡散する工程や、この拡散工程間で半導体素子の酸化膜を除去する工程、半導体素子を複数の半導体ベ

レット毎に細分割する工程などがあり、これら各工程の中には半導体素子の表面を区別する必要がある工程がある。例えば、第1図に示すダイオードの正ペセル型(高耐圧)ベレット(1)は通常次の第2図乃至第4図に示す各工程で製造される。

まず、第2図に示すようにⅡ型不純物濃度の低いⅡ層(2)の半導体素子(以下単に素子と称す)(1)の表面面に酸化膜(3)(4)を形成してから、第3図に示すように表面の酸化膜(4)を除去する。この素子(1)の表面からⅡ型不純物を高濃度に拡散して第4図に示すように素子(1)のⅡ層(4)の表面面にⅢ層(5)を形成する。この拡散時に素子(1)の表面には新しく酸化膜(6)が形成される。次に第5図に示すように素子(1)の表面の酸化膜(6)を除去してから、第6図に示すように素子(1)の表面面にあるⅢ層(5)にⅢ型不純物を高濃度に拡散してⅣ層(7)を形成する。この時、素子(1)の表面には再び酸化膜(8)が形成される。而して、素子(1)の表面面

の酸化膜(4)(5)を除去して、第7図に示すようにクエーハ(1)の表面にアルミニウム蒸着等の手段で電極層(4)を形成する。電極形成の完了したクエーハ(1)はサンドブラスト法やエッチング法などによつて第9図に示す正ノ字面ペレット(4)に粗分割(ペレット化)される。例えばサンドブラスト法の場合は第9図に示すように、クエーハ(1)の表面(4⁺面)をガラス基板料上にワックス膜で被覆して固定し、クエーハ(1)の表面にワックス膜を等厚に塗布してその上に所定形状の銅板マスク膜を被覆しておいて、クエーハ(1)の上方からクエーハ(1)に向けて垂直に磁気(815など)を吹き付ける。すると磁気膜でクエーハ(1)の銅板マスク膜から露出する部分が表面側より第9図の破線で示す形状に削られて正ノ字面ペレット(4)が形成される。

ところで、第2図の工程前でクエーハ(1)の表面は鏡面研磨され、この鏡面の状態は第9図のペレット化の工程まで続く。また第2図から第9図までの各製造工程において、第9図か

の途中でクエーハ(1)が割れたり、インクで汚れたりするトラブルが発生し易く、良好な手段とはいえないかつた。

本発明はかかる従来の問題点を鑑みてなされたもので、クエーハ表面の区別をクエーハ表面を片面の粗面加工や面取りなどの加工で非対称に予めしておくことで容易且つ正確にした製造方法を提供する。以下、本発明の方法を図面の実施例を参照して説明する。

例えば第2図乃至第9図に示すクエーハ製造工程に対し、本発明は第2図の工程前に第9図に示すようにクエーハ(1)の例えば表面を粗面(4₁)に加工する。この粗面(4₁)の凹凸の大きさは特徴的に影響が無く、且つ粗面の表面と等厚に区別が付く大きさにする。尚して、粗面加工したクエーハ(1)に上記同様に酸化膜形成、酸化膜除去、不純物拡散を所定の順序で行う。本発明の場合、上記第9図の工程におけるクエーハは第9図に示すクエーハ(1)のように表面の酸化膜側が粗面になり、裏面の酸化膜側は鏡面の

ら第9図に移る酸化膜除去工程と第7図から第9図に移るペレット化工程は作業者がクエーハ(1)の表面を区別する必要がある。即ち、前者酸化膜除去工程は第9図状態のクエーハ(1)の表面を区別して表面側の酸化膜(4)だけが除去されるようにする必要があり、この表面区別を間違えると次の工程に4⁺面(4)に4⁺面不純物が拡散されることになつて大量の不良品が生産されることになる。また後者ペレット化工程は第9図のクエーハ(1)の表面を区別して、裏面側をガラス基板料に被覆する必要があり、これを間違えると生産されるペレットが負ノ字面となつて加圧が低くなる不都合が生じる。

ところが、上記クエーハ(1)の表面は鏡面の対称な面であるため、これを目視や顕微鏡で区別することが難しい。そこで、従来はクエーハ(1)の表面を区別する手段として、クエーハ製造の工程途中でクエーハ(1)の表面或は裏面の一方に墨やインクなどによる表面判別マークを入れていた。しかし、この判別方法では製造工程

までである。従つて、表面の酸化膜除去工程の際の表面区別が目視で容易且つ正確にできる。また電極形成後のクエーハは第9図に示すように表面の電極層(4)が粗面となるので、同様に表面区別が目視で容易且つ正確にでき、負ノ字面ペレットが生産される心配がなくなる。

このようにクエーハの表面或は裏面の粗面加工はクエーハの大きさや製造内容によつて、表面或は裏面の全面或は周辺部のみに行う等の選択が行われる。またクエーハの表面を非対称にする手段として、例えば第9図に示すようにクエーハ(1)の片面のエッジ部に放射状の面取り部(4₂)を形成したり、第9図に示すようにクエーハ(1)の片面のエッジ部にテーパ状の面取り部(4₃)を形成することも有効である。

尚、本発明は上記各工程によるダイオード製造方法に限らず、例えば第9図に示す製造工程にも適用できる。第9図は4⁺面クエーハ(1)の表面から4⁺面不純物を拡散

して、 p^+ 層(4) - n^- 層(2) - p^+ 層(3)を形成し、同時に表裏面に酸化膜(5)を形成してから、第1図(1)の表面の酸化膜(5)のみを除去し、露出した p^+ 層(3)に対して n 型不飽和物を高濃度に拡散して n^+ 層(6)を形成し、同時に n^- 層(2)表面に酸化膜(5)を形成(第2図(2))して、以後表裏面の酸化膜(5)を除去し、電極形成やパレットタイズを行う工程を示す。また本発明はダイオードの製造に限らず、要は製造工程途中で n^- 層(2)表面の区別を必要とし、且つこの区別が隠しかつた n^- 層(2)を用いた半導体装置の製造でれば全て有効に適用できる。

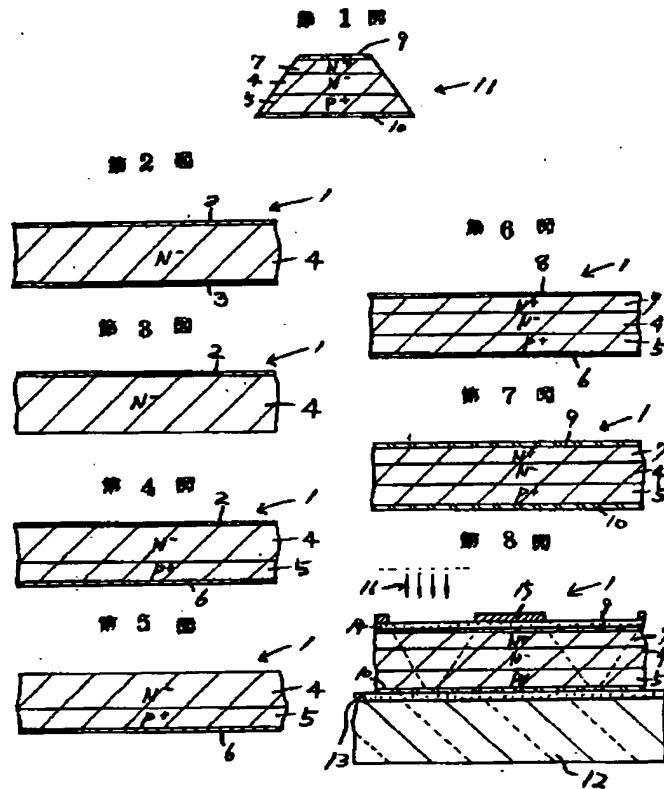
以上説明したように、本発明によれば n^- 層(2)表面の区別が片面の粗面や面取りで容易且つ正確に行え、また n^- 層(2)表面を区別するための番号やインクなどによるマークを入れる必要が無く、 n^- 層(2)割れや n^- 層(2)汚れの心配がなくなるので、作業性や良品率の改善が図れる。

図面の簡単な説明

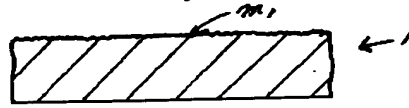
第1図は半導体パレットの一例(ダイオード)を示す断面図、第2図乃至第8図は第1図の半導体パレットの製造工程の一例を示す各工程での半導体 n^- 層(2)の一部断面図、第9図は本発明の方法で用いる半導体 n^- 層(2)の一例を示す一部断面図、第10図及び第11図は第9図の半導体 n^- 層(2)を用いた各製造工程での半導体 n^- 層(2)の一部断面図、第12図及び第13図は本発明で用いる半導体 n^- 層(2)の他の二例を示す一部断面図、第14図は半導体 n^- 層(2)製造工程の異なる一例を示す工程版の半導体 n^- 層(2)の一部断面図である。

(1)(1)・・・半導体 n^- 層(2)、(2) (n_1) ・・・粗面、
(3) (n_2) ・・・面取り部。

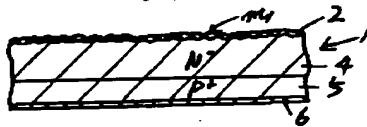
特許出願人 新日本電氣株式会社
代理人 江 原 省 智
江 原 秀 男



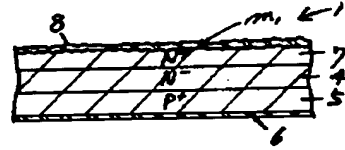
第 9 圖



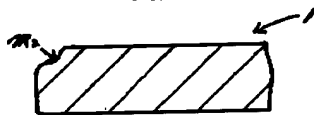
第10圖



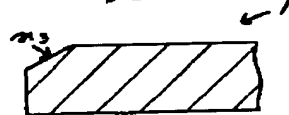
第11圖



第12圖



第13圖



第14圖

